

File 347:JAPIO OCT 1976-2001/Apr(UPDATED 010801)

(c) 2001 JPO & JAPIO

*File 347: JAPIO data problems with year 2000 records are now fixed.
Alerts have been run. See HELP NEWS 347 for details.



Set Items Description

?ss pn=(5021744 or 9223673 or 9321234 or 10012833 or 10041486)
S1 1 PN=5021744
S2 1 PN=9223673
S3 1 PN=9321234
S4 1 PN=10012833
S5 1 PN=10041486
S6 5 PN=(5021744 OR 9223673 OR 9321234 OR 10012833 OR 10041486)

?t s6/4/all

6/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- FERROELECTRIC FILM FOR SEMICONDUCTOR DEVICE AND FORMING METHOD FOR THE SAME

PN- 10 -041486 -JP 10041486 A-

PD- February 13, 1998 (19980213)

AU- KYO SHOSEKI

PA- SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or Corporation), KR (Korea) Republic of

AN- 09-082195 -JP 9782195-

AD- March 14, 1997 (19970314)

PR- 9617880 [KR 9617880], KR (Korea) Republic of, May 25, 1996 (19960525)

IC- -6- H01L-027/108; H01L-021/8242; C30B-029/32; H01L-021/316

CL- 42.2 (ELECTRONICS -- Solid State Components); 13.2 (INORGANIC CHEMISTRY -- Inorganic Compounds)

KW- R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES)

6/4/2

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- FERROELECTRIC FILM COVERED BASE AND ITS USAGE

PN- 10 -012833 -JP 10012833 A-

PD- January 16, 1998 (19980116)

AU- SATO SAKIKO; MATSUNAGA HIRONORI

PA- SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)

AN- 08-185548 -JP 96185548-

AN- 08-185548 -JP 96185548-

AD- June 25, 1996 (19960625)

IC- -6- H01L-027/10; H01L-027/04; H01L-021/822; H01L-027/108; H01L-021/8242; H01L-021/8247; H01L-029/788; H01L-029/792

CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R007 (ULTRASONIC WAVES); R115 (X-RAY APPLICATIONS)

AB- PROBLEM TO BE SOLVED: To prevent asymmetry of the hysteresis loop, denseness and surface- flattening of a ferroelectric film, and preventing generation of leakage current, by forming a first ferroelectric film, an intermediate buffer layer and a second ferroelectric film of the same kind as the first ferroelectric film, on a substratum in this order.

SOLUTION: An oxide silicon layer 12 as a thermal oxide film is formed on the surface of a base 11 of a silicon single crystal wafer, a

IC 2000 MAIL ROOM

AUG 21 2001

RECEIVED

bonding layer 13 of Ta and a lower electrode 14 of Pt are formed on the oxide silicon layer 12 in this order by using a sputtering method, and a substratum composed of Pt/Ta/SiO(sub 2)/Si is formed. A first ferroelectric film 15 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the Pt electrode 14, and an intermediate buffer layer 16 of titanium oxide is formed on the first ferroelectric film 15. A second ferroelectric film 17 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the titanium oxide 16, and a ferroelectric film covering substratum constituted of three layers is formed. By arranging the intermediate layer between the ferroelectric films, asymmetry of the hysteresis loop can be prevented.

6/4/3

FN- DIALOG(R)File 347:JAPIO|
 CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|
 TI- FERROELECTRIC THIN FILM DEVICE, MANUFACTURE THEREOF AND FERROELECTRIC MEMORY DEVICE
 PN- 09-321234 -J P 9321234 A-
 PD- December 12, 1997 (19971212)
 AU- ITO YASUYUKI; USHIKUBO MAHO; YOKOYAMA SEIICHI; MATSUNAGA HIRONORI
 PA- SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)
 AN- 08-145425 -JP 96145425-
 AN- 08-145425 -JP 96145425-
 AD- June 07, 1996 (19960607)
 IC- -6- H01L-027/10; H01L-027/04; H01L-021/822; H01L-027/108; H01L-021/8242
 ; H01L-021/8247; H01L-029/788; H01L-029/792; H01L-037/02; H01L-041/09
 ; H01L-041/18; H01L-041/22; H01L-021/316
 CL- 42.2 (ELECTRONICS -- Solid State Components)
 KW- R002 (LASERS); R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R007
 (ULTRASONIC WAVES); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS); R115 (X-RAY APPLICATIONS)
 AB- PROBLEM TO BE SOLVED: To provide a ferroelectric thin film device, a
 manufacturing method thereof and a ferroelectric memory device,
 enabling the low temperature film forming with reduced leak current.

SOLUTION: The method of manufacturing a ferroelectric thin film device having a lower electrode layer 4, the ferroelectric thin film 5 and upper electrode layer 6 successively laminated on a substrate comprises forming an oxide thin film to be the ferroelectric thin film 5 on the lower electrode layer 4 formed on the substrate by the physical or chemical vapor deposition, forming the upper electrode layer 6 on this oxide thin film, and heating it to form the ferroelectric thin film 5 in a less pressure gas atmosphere than 1atm. in a heat treating step.

6/4/4

FN- DIALOG(R)File 347:JAPIO|
 CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|
 TI- DESTATICIZING METHOD OF SEMICONDUCTOR SUBSTRATE
 PN- 09-223673 -J P 9223673 A-
 PD- August 26, 1997 (19970826)
 AU- MIZUNO YOSHIYUKI
 PA- DAIDO STEEL CO LTD [330235] (A Japanese Company or Corporation), JP
 (Japan)
 AN- 08-030221 -JP 9630221-
 AN- 08-030221 -JP 9630221-
 AD- February 19, 1996 (19960219)
 IC- -6- H01L-021/205; H01L-021/68
 CL- 42.2 (ELECTRONICS -- Solid State Components)

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10012833 A

(43) Date of publication of application: 16.01.98

(51) Int. Cl.

H01L 27/10
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: 08185548

(22) Date of filing: 25.06.96

(71) Applicant: SHARP CORP

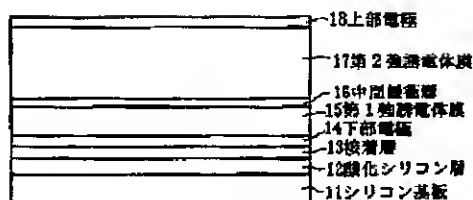
(72) Inventor: SATO SAKIKO
MATSUNAGA HIRONORI

(54) FERROELECTRIC FILM COVERED BASE AND ITS USAGE

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent asymmetry of the hysteresis loop, denseness and surface- flattening of a ferroelectric film, and preventing generation of leakage current, by forming a first ferroelectric film, an intermediate buffer layer and a second ferroelectric film of the same kind as the first ferroelectric film, on a substratum in this order.

SOLUTION: An oxide silicon layer 12 as a thermal oxide film is formed on the surface of a base 11 of a silicon single crystal wafer, a bonding layer 13 of Ta and a lower electrode 14 of Pt are formed on the oxide silicon layer 12 in this order by using a sputtering method, and a substratum composed of Pt/Ta/SiO₂/Si is formed. A first ferroelectric film 15 of Bi₄Ti₃O₁₂ is formed on the Pt electrode 14, and an intermediate buffer layer 16 of titanium oxide is formed on the first ferroelectric film 15. A second ferroelectric film 17 of Bi₄Ti₃O₁₂ is formed on the titanium oxide 16, and a ferroelectric film covering substratum constituted of three layers is formed. By arranging the intermediate layer between the ferroelectric films, asymmetry of the hysteresis loop can be prevented.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12833

(43) 公開日 平成10年(1998) 1月16日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			27/04	C
21/822			27/10	6 5 1
27/108			29/78	3 7 1
21/8242				

審査請求 未請求 請求項の数4 F D (全 7 頁) 最終頁に続く

(21) 出願番号 特願平8-185548

(22) 出願日 平成 8 年(1996) 6 月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐藤 咲子

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 松永 宏典

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

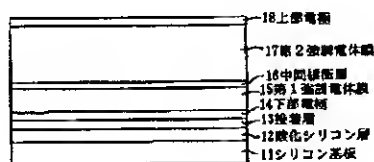
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 強誘電体膜被覆基体及びその用途

(57) 【要約】

【課題】 ヒステリシスループが非対称になることを防ぐことを課題とする。

【解決手段】 第1強誘電体膜、中間緩衝層及び前記第1強誘電体膜と同種の第2強誘電体膜をこの順で基体上に備えてなることを特徴とする強誘電体膜被覆基体及び、第1強誘電体膜下に下部電極及び第2誘電体膜上に前記下部電極と同種の上部電極を備えたキャパシタにより上記課題を解決する。



【特許請求の範囲】

【請求項1】 第1強誘電体膜、中間緩衝層及び前記第1強誘電体膜と同種の第2強誘電体膜をこの順で基体上に備えてなることを特徴とする強誘電体膜被覆基体。

【請求項2】 中間緩衝層が、金属酸化物である請求項1の基体。

【請求項3】 中間緩衝層が酸化チタンであり、第1及び第2強誘電体膜が $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ である請求項1又は2の基体。

【請求項4】 下部電極、第1強誘電体膜、中間緩衝層、前記第1強誘電体膜と同種の第2強誘電体膜及び前記同種の上部電極をこの順で基体上に備えてなることを特徴とするキャパシタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体膜被覆基体及びその用途に関する。更に詳しくは、本発明は、強誘電体メモリ素子、焦電センサ素子、圧電素子等に使用できる強誘電体膜被覆基体に関する。

【0002】

【従来の技術】強誘電体は自発分極、高誘電率、電気光学効果、圧電効果及び焦電効果等の多くの機能をもつことから、コンデンサ、発振器、光変調器又は赤外線センサー等の広範なデバイス開発に応用されている。しかし、従来これらの用途には、単結晶セラミックスのものが使用されてきた。

【0003】一方、薄膜形成技術の進展に伴って、高品質の強誘電体膜が得られるようになり、従来なかった応用が期待されている。特に、最近DRAM等の半導体メモリと組み合わせることで、高密度でかつ高速に動作にする強誘電体メモリ(FRAM)の開発が行われている。強誘電体メモリは、強誘電体の強誘電特性(自発分極効果)を利用したバックアップ電源不要な不揮発性メモリである。このようなメモリの開発には残留分極(P_r)が大きく、かつ抗電界(E_c)が小さく、低リーク電流であり、分極反転の繰返し耐性に優れる等の特性を持つ強誘電体材料が必要である。更には動作電圧の低減と半導体微細加工プロセスに適合させるため、膜厚200nm以下の薄膜で上記の特性を実現することが望まれている。

【0004】現在FRAM等への応用を目的として PbTiO_3 、 PZT 、 PLZT 等のペロブスカイト構造を有する酸化物強誘電体の薄膜化が、スパッタリング法、蒸着法、ゾルゲル法、有機金属分解(MOD)法、有機金属化学気相成長(MOCVD)法等の薄膜形成方法により試みられている。上記の強誘電体材料のうち、 PZT は現在もっとも集中的に研究されているのであり、例えば残留分極 P_r が $10\mu\text{C}/\text{cm}^2$ から $26\mu\text{C}/\text{cm}^2$ と大きな値を持つものも得られている。しかしながら、蒸気圧の高い Pb を含むため成膜時や熱処理等

の膜組成変化が起こりやすいことや、ピンホールの発生、耐酸化性の下地電極 Pt と Pb の反応による低誘電率層の発生等の結果、膜厚の低減に伴いリーク電流や分極反転繰返し耐性の劣化が起こるという問題点がある。このため、強誘電特性、分極反転耐性に優れた材料の開発が望まれている。また、集積デバイスへの応用を考えた場合、微細加工に対応できるような薄膜の緻密性、平面平滑性も必要となる。

【0005】他方、リーク電流や分極反転耐性に悪影響を及ぼす Pb を含まない酸化物強誘電体として、層状ペロブスカイト構造を有するチタン酸ビスマス $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ がある。その強誘電性は、 a 軸方向に残留自発分極 $P_r=50\mu\text{C}/\text{cm}^2$ 、抗電界 $E_c=50\text{kV}/\text{cm}$ 、 c 軸方向に残留自発分極 $P_r=4\mu\text{C}/\text{cm}^2$ 、抗電界 $E_c=4\text{kV}/\text{cm}$ と、優れた特性を示すものである。

【0006】従って、この $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ のもつ大きな自発分極を強誘電体不揮発性メモリ等に応用するためには、基体に垂直方向に結晶の a 軸成分を多く持つようにすることが望ましい。 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の薄膜化は、これまでもMOCVD法やゾルゲル法により試みられているが、それらのほとんどが自発分極が小さい c 軸配向膜であり、 a 軸配向膜は、ほとんど得られていないのが現状である。

また、従来のゾルゲル法では、良好な強誘電特性を得るために 650°C 以上の熱処理が必要であり、更に膜表面モフォロジーは $0.5\mu\text{m}$ 程度の結晶粒からなるので微細加工を必要とする高集積デバイスに適用するのは困難である。一方、MOCVD法により c 軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜が基板温度 600°C 以上で $\text{Pt}/\text{SiO}_2/\text{Si}$ 基体上に作製されているが、これらの基体は、そのまま実際のデバイス構造に適用できるものではない。すなわち、 $\text{Pt}/\text{Ti}/\text{SiO}_2/\text{Si}$ 基体のように、 Pt 電極層とその下の SiO_2 との接着強度を確保するための Ti 膜等の接着層が必要である。ところが、このような接着層を設けた基体上に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜をMOCVD法により作製した場合、その表面モフォロジーは $0.5\mu\text{m}$ 程度の粗大結晶粒からなるとともに、常誘電性のパイロクロア相($\text{Bi}_2\text{Ti}_2\text{O}_7$)が発生しやすくなることが報告されている(Jpn. J. Appl. Phys., 32, 1993, pp. 4086及びJ. Ceramic Soc. Japan, 102, 1994, pp. 512参照)。膜表面モフォロジーが、粗大結晶粒からなると、微細加工を必要とする高集積デバイスには応用できないばかりか薄い膜厚ではピンホールの原因となり、リーク電流の発生をもたらすことになる。そこで、薄い膜厚で良好な強誘電特性を有する強誘電体膜を実現するため、基体と強誘電体膜の間にバッファ層を挿入することにより、強誘電体膜の緻密化と表面平滑化が可能となることが報告されている(Jp

n. J. Appl. Phys., 32, 1993, p. 4086)。

【0007】

【発明が解決しようとする課題】しかし、上記の強誘電体薄膜の上下を同種の電極で挟んだキャパシタにおいて、下部電極と強誘電体薄膜層との間にバッファ層を挿入することにより、上下の電極と接する材料が異なることに起因するヒステリシスループの非対称性が発生しやすくなる。このような現象はバッファ層を用いない場合にも上下の電極材料が異なると発生する。

【0008】以上のように、従来のバッファ層を用いた技術では強誘電体薄膜の緻密化、表面平滑化は可能であるが、膜の多層構造に起因する強誘電性ヒステリシスループの非対称性の問題を有している。

【0009】

【課題を解決するための手段】かくして本発明によれば、第1強誘電体膜、中間緩衝層及び前記第1強誘電体膜と同種の第2強誘電体膜をこの順で基体上に備えてなることを特徴とする強誘電体膜被覆基体を提供される。また、本発明によれば、下部電極、第1強誘電体膜、中間緩衝層、前記第1強誘電体膜と同種の第2強誘電体膜及び前記同種の上部電極をこの順で基体上に備えてなることを特徴とするキャパシタが提供される。

【0010】

【発明の実施の形態】まず、本発明に使用できる基体には、シリコン基板、GaAs基板等や、それら基体上にトランジスタ、層間絶縁膜等のように何らかの下地層が形成されたものも含まれる。次に、基体上には、第1強誘電体膜が形成される。第1強誘電体膜に使用できる材料としては、Pbを含まないものであればいずれでもよい。具体的には、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{BaBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{Na}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 、 $\text{K}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 、 $\text{Sr}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Ba}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 等のBi系の層状化合物、硫酸グリシン(TGS)、 LiNbO_3 、 LiTaO_3 、 BaTiO_3 、 SrTiO_3 等が挙げられる。この内、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ が好ましい。また、膜厚は10～200nmであることが好ましい。この第1強誘電体膜の形成方法は、特に限定されず公知の方法をいずれも使用することができる。例えばスパッタリング、蒸着、CVD、MOCVD、ゾルゲル法等が挙げられる。この内、MOCVD法が好ましい。

【0011】MOCVD法により成膜する場合、基板温度は450～650℃であることが好ましい。450℃より低くすると、強誘電体膜が十分な結晶性を得られないので好ましくなく、650℃より高くすると強誘電体膜を構成する結晶が粗大化するので好ましくない。例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を形成する場合のMOCVD法に

使用できるビスマス原料としては、トリオルトトリルビスマス、トリフェニルビスマス等が挙げられ、一方、チタン原料としては、チタンイソプロポキシド、チタンテトラブトキシド等が挙げられる。実際には、ビスマス原料、チタン原料及び酸素ガスを、不活性ガス(例えば、アルゴン、窒素等)をキャリアガスとして成膜装置内に供給することにより成膜が行われる。なお、成膜装置内の圧力は、2～10Torrであることが好ましい。10Torrより高い場合、気相反応が起こりやすくなるので好ましくなく、2Torrより低い場合、成膜速度が遅くなるので好ましくない。

【0012】次いで、第1強誘電体膜上には、中間緩衝層が形成される。中間緩衝層に使用できる材料としては、酸化チタン、酸化タンタル、酸化ニオブ、チタン酸ストロンチウム、チタン酸バリウム、酸化ジルコン、酸化アルミニウム、酸化ビスマス、酸化イットリウム、酸化ハフニウム等の金属酸化物が挙げられる。この内、酸化チタンが好ましい。また、膜厚は2～7nmの範囲が好ましい。膜厚が2nmより薄いと第1強誘電体膜の全面を覆うことができないので好ましくなく、7nmより厚いと印加された電圧が第1強誘電体膜にかかりにくいので好ましくない。中間緩衝層の形成方法は、特に限定されず公知の方法をいずれも使用することができる。例えばスパッタリング、蒸着、CVD、MOCVD法等が挙げられる。この内、MOCVD法が好ましく、例えば上記第1強誘電体膜の製法と同様の条件下で、ビスマス原料を供給しないことを除いて同じように操作することにより形成することができる。

【0013】上記中間緩衝層上に更に第2強誘電体膜を形成することにより本発明の強誘電体膜被覆基体を形成することができる。ここで第2強誘電体膜は、第1強誘電体膜と同種の材料からなる。また、膜厚は50～300nmであることが好ましい。また、基体と第1強誘電体膜との間に以下で説明する下部電極、基体と下部電極との間に絶縁膜、絶縁膜と下部電極との間に密着層を設けてもよい。絶縁膜は、膜厚50～300nmの酸化シリコン、窒化シリコン又はそれらの積層膜からなり、熱酸化法、CVD法、スパッタリング法等で形成することができる。密着層としては、Ti、Ta等が挙げられる。

【0014】本発明の強誘電体膜被覆基体は、強誘電効果、圧電効果、焦電効果、電気光学効果等を利用するものであればどのような装置にも利用することができる。そのような装置として、半導体装置、光変調器、超音波センサー、赤外線リニアアレイセンサー等が挙げられる。更に本発明によれば、下部電極、第1強誘電体膜、中間緩衝層、前記第1強誘電体膜と同種の第2強誘電体膜及び前記同種の上部電極をこの順で基体上に備えてなることを特徴とするキャパシタが提供される。

【0015】基体には、上記強誘電体膜被覆基体と同じ

基体が使用できる。下部電極に使用できる材料としては、Pt、Al、Cu、RuO₂、Ir、IrO₂等が挙げられる。この内、Ptが好ましい。また、膜厚は50～300nmであることが好ましい。この下部電極の形成方法は、特に限定されず公知の方法をいずれも使用することができる。例えばスパッタリング、蒸着、MOCVD法等が挙げられる。

【0016】次に、第1強誘電体膜、中間緩衝層及び第2強誘電体膜が下部電極上にこの順で形成される。使用しうる原料、膜厚及び形成方法等は上記強誘電体膜被覆基体で説明した内容と同様である。更に、第2強誘電体膜上に上部電極を形成することにより本発明のキャパシタを形成することができる。ここで上部電極は、下部電極と同種の材料からなる。また、膜厚は50～300nmであることが好ましい。なお、形成方法は、下部電極と同様の方法を使用できる。

【0017】なお、基体と下部電極の間に、それらの密着性を向上させるためのTi、Ta等からなる密着層を設けてもよい。上記キャパシタの使用例としては、例えば図1の如き不揮発性メモリが挙げられる。このメモリは、基板の表面層に設けられたビットライン1間の基板上にワードライン2からなるトランジスタ3が設けられ、ワードライン2上に絶縁膜4を介して下部電極5、強誘電体膜6及び上部電極7からなるキャパシタ8が配置されている（この図では中間緩衝層は省略されている）。キャパシタは、配線層9によって一方のビットライン1と接続されてなる構造を有している。なお、この図において、基体とは下部電極5より下に位置する絶縁膜4、トランジスタ3及び基板1から構成されることとなる。

【0018】上記のように、強誘電体膜の間に中間緩衝

層を配置することにより、従来の基体と強誘電体膜の間にバッファ層を配置した場合の構造の非対称性に起因するヒステリシスループの非対称性を防ぐことができる。更に、強誘電体膜の表面を緻密化、平坦化でき、強誘電体膜のモフォロジーに起因するリーク電流の発生を防ぐことができる。

【0019】

【実施例】

実施例1

以下の工程により図2に示す如きキャパシタを製造した。まず、シリコン単結晶ウエハ（基板）11の表面に膜厚200nmの熱酸化膜（酸化シリコン層）12を形成し、その上に膜厚30nmのTa層（接着層）13と200nmのPt電極（下部電極）14をこの順でスパッタリング法により形成し、Pt/Ta/SiO₂/Siからなる基体を作製した。

【0020】次に、Pt電極14上に、20nmのBi₄Ti₃O₁₂膜（第1強誘電体膜）15をMOCVD法により成膜した。成膜条件は、基板温度600℃、成膜時間10分とした。続いて、上記Bi₄Ti₃O₁₂膜15上に、基板温度400℃、成膜時間2分で5nmの酸化チタン（中間緩衝層）16を成膜した。

【0021】更に、上記酸化チタン16上に、基板温度600℃、成膜時間40分で、80nmのBi₄Ti₃O₁₂膜（第2強誘電体膜）17を形成することにより、全厚105nmの3層膜からなる強誘電体膜被覆基体を形成した。なお、Bi₄Ti₃O₁₂膜及び酸化チタンの他の成膜条件は、表1に示した。

【0022】

【表1】

原料	Bi(Co-CrH ₇) ₃	Ti(i-OC ₃ H ₇) ₄
原料温度	160℃	50℃
キャリアス(Ar)流量	200sccm	50sccm
反応ガス(O ₂)流量	1000sccm	
成膜圧力	5 Torr	

Bi₄Ti₃O₁₂膜の成膜は、上記表1に示すように、ビスマス原料としてトリオルトトリルビスマス(Bi(o-C₇H₇)₃)を、チタン原料としてチタンイソプロポキシド(Ti(i-OC₃H₇)₄)をそれぞれ用いた。更に、これら原料を表1に示す温度でそれぞれ加熱気化し(ビスマス原料160℃、チタン原料50℃)、キャリアガスとしてアルゴン(Ar)ガスと反応

ガスである酸素(O₂)ガスと共に加熱保持した基板上に供給した。ここで、アルゴンガス流量は、ビスマス原料に対して200sccm、チタン原料に対して50sccmとし、酸素ガス流量は1000sccmとした。なお、上記成膜工程において成膜室内圧力は、10Torr以上であると気相反応が起こりやすくなるので5Torrとした。

【0023】なお、酸化チタンについては、チタン原料と酸素ガスのみを供給した。上記のように形成した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜（第2強誘電体膜）の表面モフォロジーについて、SEM（走査型電子顕微鏡）により観察した結果を図3に示した。図3から判るように、本実施例の膜は、粒径約0.15 μm のグレインからなり、緻密で表面が平滑であることが判った。これは、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜（第1強誘電体膜）は、下部電極との間にバッファ層がないため粒径が大きくなるが、酸化チタン（中間緩衝層）を形成することにより、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜（第2強誘電体膜）の粒径が小さくなり、その結果として、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜（第2強誘電体膜）の表面の緻密化及び平坦化が実現できたものと考えられる。

【0024】また、この $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜（第2強誘電体膜）の結晶性をX線回折法により評価した結果を図4に示した。得られた膜は、ランダム配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ であることが示されている。次に、上記 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜（第2強誘電体膜）17上に上部電極としてPt電極（100 μm φ）18を真空蒸着により積層しキャパシタを形成した。図5に、このキャパシタの電流電圧特性を示す。図5では、印加電圧5Vのとき、 I_1 （リーク電流密度）= $1 \times 10^{-8} \text{ A/cm}^2$ の値を得ることができた。更に、図6に、このキャパシタのヒステリシスループを示した。上下対称性の良好なヒステリシスループを得ることができ、かつ従来のc軸配向膜と比較してa軸成分を多く含むため、印加電圧5Vのとき、残留分極 $P_r = 14 \mu\text{C/cm}^2$ 、抗電界 $E_c = 130 \text{ kV/cm}$ とc軸配向の強誘電体膜より大きい値を得ることができた。

【0025】比較例1

中間緩衝層を形成せず、強誘電体膜を2層に分けることなく105nmの強誘電体膜を600℃、60分間かけて形成すること以外は、実施例1と同様にしてキャパシタを形成した。このキャパシタはリーク電流値が大きすぎて、ヒステリシスループを測定することができなかった。また、上部電極形成前の強誘電体膜の表面をSEMにより観察した結果を図7に示した。図7からわかるように、この比較例の膜は粗大粒子からなる表面凹凸の激しい膜であり、リーク電流の増加は、この表面のモフォロジーに起因していることが判った。

【0026】比較例2

強誘電体膜と下部電極間にバッファ層を設けること以外は、比較例1と同様にしてキャパシタを形成した。但し、強誘電体膜の厚さは100nmとした。また、バッファ層は、膜厚5nmの酸化チタンとし、400℃、2分間MOCVD法により形成した。

【0027】また、上部電極形成前の強誘電体膜の表面をSEMにより観察した結果を図8に示した。図8からわかるように、この比較例の膜は粒径約0.1 μm のグレインからなり、表面が緻密で平滑なものであることが

判った。更に、この強誘電体膜の結晶性をX線回折法により評価した結果を図9に示した。得られた膜は、ランダム配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ であることが示されている。

【0028】図10に、このキャパシタの電流電圧特性を示す。図10では、印加電圧5Vのとき、 $I_1 = 1 \times 10^{-7} \text{ A/cm}^2$ の値を得ることができた。更に、図11に、このキャパシタのヒステリシスループを示した。上下に非対称なヒステリシスループが得られた。これらの結果より、この比較例の強誘電体膜被覆基体は表面モフォロジーが緻密及び平滑であるため、表面モフォロジーに起因するリーク電流は小さい。しかしながら、上部及び下部電極を接する材料が異なることに起因するヒステリシスループの非対称性が発生していることがわかる。

【0029】

【発明の効果】本発明によれば、強誘電体膜の間に中間緩衝層を配置することにより、従来の基体と強誘電体膜の間にバッファ層を配置した場合の構造の非対称性に起因するヒステリシスループの非対称性を防ぐことができる。更に、強誘電体膜を緻密化、表面平坦化でき、強誘電体膜のモフォロジーに起因するリーク電流の発生を防ぐことができる。

【図面の簡単な説明】

【図1】本発明のキャパシタの適用例の概略断面図である。

【図2】実施例1のキャパシタの概略断面図である。

【図3】実施例1の第2強誘電体膜の表面のSEM写真である。

【図4】実施例1の第2強誘電体膜のX線回折パターンである。

【図5】実施例1のキャパシタのリーク電流密度の印加電圧依存性を示す図である。

【図6】実施例1のキャパシタのヒステリシス曲線を示す図である。

【図7】比較例1の第2強誘電体膜の表面のSEM写真である。

【図8】比較例2の第2強誘電体膜の表面のSEM写真である。

【図9】比較例2の第2強誘電体膜のX線回折パターンである。

【図10】比較例2のキャパシタのリーク電流密度の印加電圧依存性を示す図である。

【図11】比較例2のキャパシタのヒステリシス曲線を示す図である。

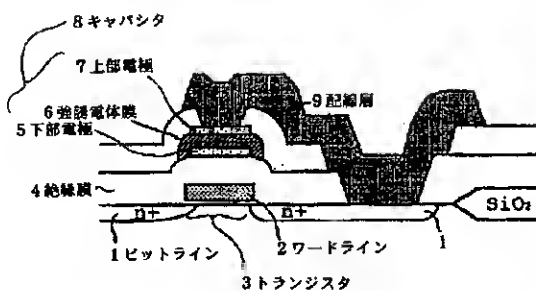
【符号の説明】

- 1 ビットライン
- 2 ワードライン
- 3 トランジスタ
- 4 絶縁膜

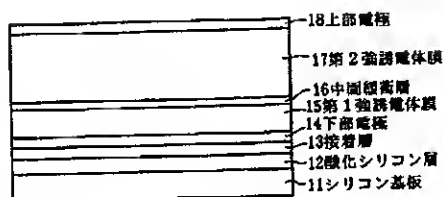
- 5 下部電極
- 6 強誘電体膜
- 7 上部電極
- 8 キャパシタ
- 9 配線層
- 11 シリコン基板
- 12 酸化シリコン層

- 13 接着層
- 14 下部電極
- 15 第1強誘電体膜
- 16 中間緩衝層
- 17 第2強誘電体膜
- 18 上部電極

【図1】



【図2】



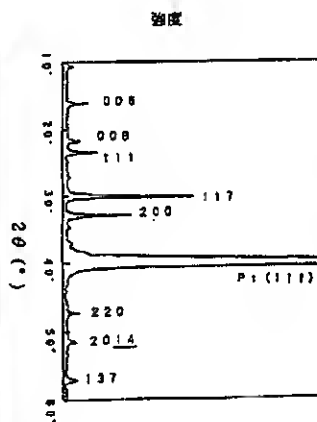
【図6】

【図3】

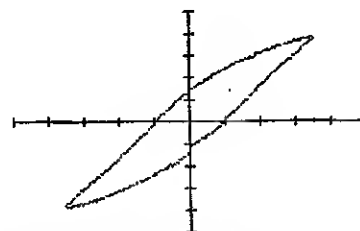
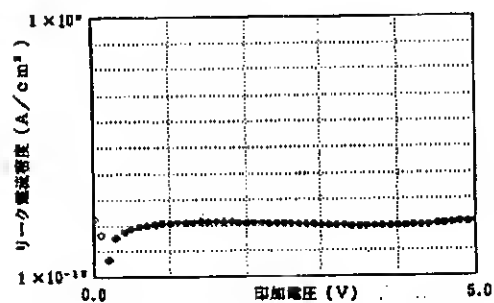
図画代用写真



【図4】



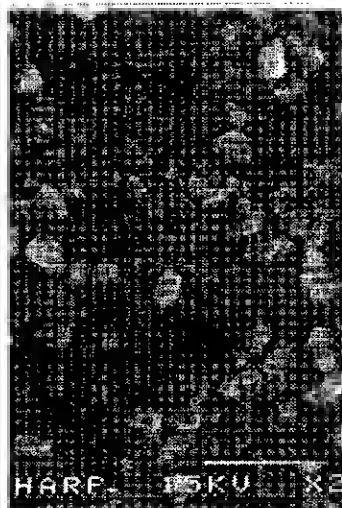
【図5】



縦軸/電気変位 (分極) / 目盛: $10 \mu\text{C}/\text{cm}^2$
横軸/電場/目盛: $130 \text{ kV}/\text{cm}$

【図7】

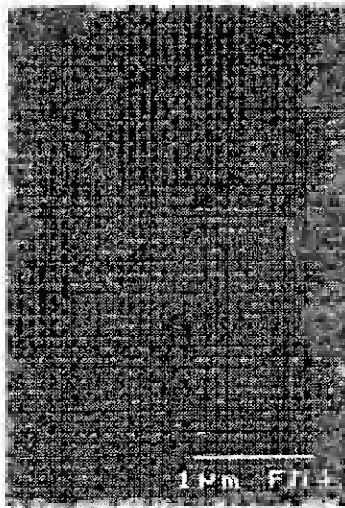
図面代用写真



1 μm

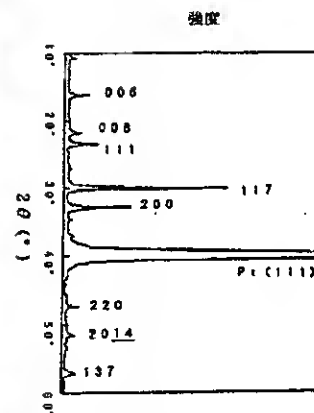
【図8】

図面代用写真

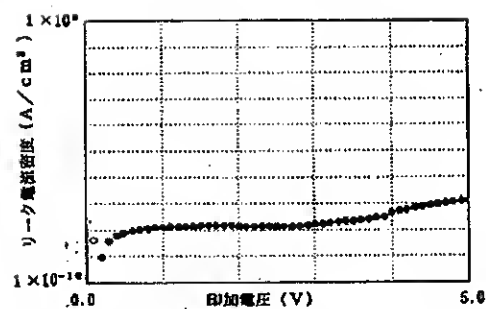


1 μm

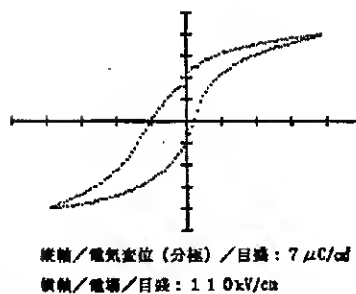
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792